

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-175768

(43)Date of publication of application : 14.07.1995

(51)Int.Cl.

G06F 15/163

(21)Application number : 05-320350

(71)Applicant : SHARP CORP

(22)Date of filing : 20.12.1993

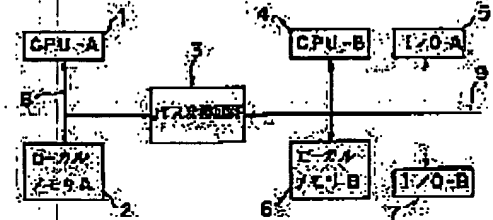
(72)Inventor : YANAI MASATO

(54) DUAL CPU SYSTEM

(57)Abstract:

PURPOSE: To provide a dual CPU system capable of realizing high system throughput by reducing the overhead of the data transfer of one local memory and the I/O device connected to another local bus without using an expensive dual port memory.

CONSTITUTION: In a memory-shared dual CPU system, a bus conversion circuit 3 connecting the buses 8 and 9 of a bi-directional CPU system to each other is provided. The bus conversion circuit 3 is provided with a local bus mediation circuit permitting the access to the local memory 6 of the other CPU 4 from one CPU 1, a shared area setting register displaying the shared area within a local memory 6 and an address conversion circuit converting the memory address of the CPU 1 into the memory address within the shared area of the CPU 4.



LEGAL STATUS

[Date of request for examination] 04.07.1997

[Date of sending the examiner's decision of rejection] 20.06.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-175768

(43)公開日 平成7年(1995)7月14日

(51)IntCl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 15/163

G 0 6 F 15/ 16

3 2 0 M

3 2 0 G

審査請求 未請求 請求項の数1 O L (全 5 頁)

(21)出願番号 特願平5-320350

(22)出願日 平成5年(1993)12月20日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 柳井 正人

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

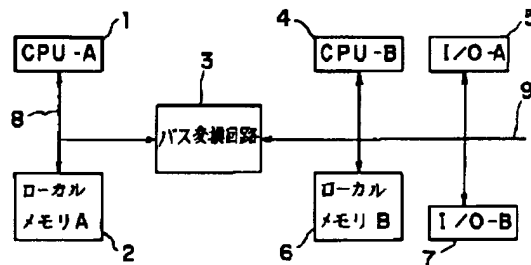
(74)代理人 弁理士 藤本 博光

(54)【発明の名称】 デュアルCPUシステム

(57)【要約】

【目的】 高価なデュアルポートメモリを使用することなく、一方のローカルメモリと他方のローカルバスに接続されたI/Oデバイスとのデータ転送のオーバーヘッドを削除し、高いシステムスループットを実現可能なデュアルCPUシステムを提供する。

【構成】 メモリ共有型のデュアルCPUシステムにおいて、双方CPU系のバス(8、9)を互いに接続するバス変換回路(3)を設け、バス変換回路(3)には、一方のCPU(1)から他方のCPU(4)のローカルメモリ(6)へのアクセスを許可するローカルバス調停回路(10)と、ローカルメモリ(6)内の共有エリア領域を表示する共有エリア設定レジスタ(12)と、CPU(1)のメモリアドレスをCPU(4)の共有エリア内のメモリアドレスに変換するアドレス変換回路(11)とを備える。



実施例のブロック図

1

【特許請求の範囲】

【請求項1】 メモリ共有型のデュアルCPUシステムにおいて、

一方のCPUから他方のCPUのローカルメモリへのアクセスを許可するローカルバス調停回路と、
ローカルメモリ内の共有エリア領域を表示する共有エリア設定レジスタと、一方のCPUのメモリアドレスを他方のCPUの共有エリア内のメモリアドレスに変換するアドレス変換回路とを備えたことを特徴とするデュアルCPUシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、メモリ共有型密結合マルチプロセッサに係り、特に、デュアルCPUシステムにおける共有メモリ結合方式に関する。

【0002】

【発明の概要】本発明は、メモリ共有型密結合デュアルCPUシステムの構成において、2つのアクセスポートを有するデュアルポートメモリを使用せずに、一方のCPUのローカルメモリの一部のエリアを共有メモリとして使用するものである。このため、一方のCPUのローカルバスから、他方のCPUのローカルバスに接続されたローカルメモリにアクセスすることを許可するバス調停回路と、ローカルメモリ内の共有エリア領域を表示する共有エリア設定レジスタと、一方のCPUのメモリアドレスを他方のCPUの共有エリア内のメモリアドレスに変換するアドレス変換回路とを備える。

【0003】

【従来の技術】マルチプロセッサシステムは、共有メモリを有する密結合型マルチプロセッサシステムと、シリアルチャネル等で接続される疎結合型マルチプロセッサシステムとに分類される。2台のCPUが共有メモリで結合された密結合型デュアルCPUシステムの従来例を図4に示す。図4によれば、従来のデュアルCPUシステムは、CPU-A(1)と、ローカルメモリA(2)と、ローカルバスA(8)と、CPU-B(4)と、ローカルメモリB(6)と、I/O-A(5)と、I/O-B(7)と、ローカルバスB(9)と、デュアルポートメモリ(14)とからなる。

【0004】上記構成において、CPU-A(1)側にあるローカルメモリA(2)から、CPU-B(4)側にあるI/Oデバイスにデータを転送する場合の動作を、シングルタスクシステムとマルチタスクシステムとについて簡単に説明する。まず、シングルタスクシステムでは、CPU-A(1)は、ローカルメモリA(2)から転送に必要なデータを読み出し、コマンドを付加してデュアルポートメモリ(14)に書き込み、CPU-B(4)に対して割り込み信号INTBを出力する。次いで、CPU-B(4)は、割り込みを受けると、デュアルポートメモリ(14)からコマンドを読み出しその

2

内容を判断して、デュアルポートメモリ(14)からデータを読み出して、目的のI/Oデバイスにデータを書き込む。

【0005】シングルタスクシステムでは、以上のようなデータ処理で十分であるが、マルチタスクシステムでは、I/O-A(5)にデータ転送しながらI/O-B(7)にもデータ転送する必要が出てくる。この場合、データ量が増大し、デュアルポートメモリ(14)の容量が不足するため、デュアルポートメモリを複数チップで構成して容量を増大するか、CPU-B(4)のローカルメモリB(6)に一旦データを転送し、そのローカルメモリB(6)から目的のI/Oにデータ転送していた。

【0006】

【発明が解決しようとする課題】しかしながら、共有メモリ容量を増やすために、デュアルポートメモリを複数個使用して容量を増やそうとすると、デュアルポートメモリ集積回路のチップ当たりのビット数が他のタイプのメモリに比べて極端に少なく、集積度が低いために、多数の集積回路を使用しなければならず、デュアルCPUシステムを構成する装置が大きくなり、小型化ができないという問題点があった。また、デュアルポートメモリは、汎用メモリとは異なり、数十kバイトで数千円と非常に高価であり、デュアルポートメモリを多数使用するデュアルCPUシステムが高価ものになるという問題点があった。

【0007】一方、デュアルポートメモリの容量増加を避けて、CPU-B(4)側のローカルメモリB(6)に一旦データを転送し、そのローカルメモリB(6)から目的のI/Oにデータを転送するシステムでは、ローカルメモリA(2)のデータは、まずデュアルポートメモリ(14)に転送され、次いで、デュアルポートメモリ(14)からローカルメモリB(6)に転送され、さらに、ローカルメモリB(6)からI/Oデバイスに転送されるというように、3段階の転送過程を経るために、データ転送のオーバーヘッドが非常に大きくなり、システムスループットが低下するという問題点があった。

【0008】以上の問題点に鑑み、本発明の課題は、高価なデュアルポートメモリを使用することなく、一方のローカルメモリと他方のローカルバスに接続されたI/Oデバイスとのデータ転送のオーバーヘッドを削除し、高いシステムスループットを実現可能なデュアルCPUシステムを提供することである。

【0009】

【課題を解決するための手段】上記課題を解決するため、本発明は次の構成を有する。すなわち本発明は、メモリ共有型のデュアルCPUシステムにおいて、一方のCPUから他方のCPUのローカルメモリへのアクセスを許可するローカルバス調停回路と、ローカルメモリ内

の共有エリア領域を表示する共有エリア設定レジスタと、一方のCPUのメモリアドレスを他方のCPUの共有エリア内のメモリアドレスに変換するアドレス変換回路とを備えたことを特徴とするデュアルCPUシステムである。

【0010】

【作用】本発明は、上記構成により、一方のCPUのローカルメモリと他方のCPUのローカルバスに接続されたI/Oデバイスとの相互のデータ転送は、他方のCPUのローカルメモリ内に設定された共有メモリエリアを介してデータ転送することができるので、データ転送のオーバーヘッドが小さくなり、かつデュアルポートメモリは不要となる。

【0011】

【実施例】次に、図面を参照して本発明の1実施例を詳細に説明する。図1は、本発明に係るデュアルCPUシステムの実施例の構成を示すブロック図である。同図において、CPU-A系とCPU-B系とがバス変換回路(3)を介して接続され、デュアルCPUシステムが構成されている。CPU-A系は、CPU-A(1)と、ローカルメモリA(2)と、ローカルバスA(8)とで構成されている。CPU-B系は、CPU-B(4)と、I/O-A(5)と、ローカルメモリB(6)と、I/O-B(7)と、ローカルバスB(9)とで構成されている。

【0012】図2は、バス変換回路(3)の内部構成を示すブロック図である。同図において、バス変換回路(3)は、バス調停回路(10)と、アドレス変換回路(11)と、共有メモリ領域設定レジスタ(12)と、コントロール信号変換回路(13)とからなる。

【0013】バス変換回路(3)を構成する各ブロックの機能は、以下の通りである。まず、バス調停回路(10)は、CPU-A(1)がローカルメモリB(6)を共有メモリとしてアクセスする時に、CPU-A(1)またはCPU-B(4)のいずれのCPUにローカルバスB(9)の使用権を与えるかを調停するものである。アドレス変換回路(11)は、CPU-A(1)がローカルメモリB(6)をアクセスする場合に、CPU-A(1)のアドレス情報1ABを、後述するアドレスマップに従ってCPU-B(4)のアドレス情報2ABに変換する。

【0014】共有メモリ領域設定レジスタ(12)は、ローカルメモリB(6)内のどのアドレス範囲が共有メモリとして使用されるかを設定するレジスタであり、本実施例においては、共有メモリ先頭アドレス設定レジスタ(12-1)と、共有メモリサイズ設定レジスタ(12-2)とで構成されているとする。そして、共有メモリ先頭アドレス設定レジスタ(12-1)と、共有メモリサイズ設定レジスタ(12-2)との入出力は、ローカルバスA(8)のデータバス1DB及びローカルバス

B(9)のデータバス2DBに接続されている。CPU-B(4)は、共有メモリ領域設定レジスタ(12)を読み出すことにより、共有メモリ領域を知ることができる。コントロール信号変換回路(13)は、CPU-A(1)のコントロール信号をCPU-B(4)のコントロール信号に変換する回路である。

【0015】次に、図3に、本実施例のアドレスマップを示す。共有メモリ領域設定レジスタ(12)の設定例として、共有メモリ先頭アドレス設定レジスタ(12-1)には\$440000が設定され、共有メモリサイズ設定レジスタ(12-2)には\$80000が設定された場合を示している。CPU-A(1)のアドレスマップである図3(a)において、アドレス範囲\$100000~\$180000の領域に共有メモリのアドレス空間が割り当てられている。また、アドレス範囲\$1FFF00~\$1FFFFFには共有メモリ領域設定レジスタ(12)が割り当てられている。

【0016】CPU-A(1)のアドレスにおいては、共有メモリの先頭アドレスは、必ず\$100000から始まり、ローカルメモリB(6)内の共有メモリ先頭アドレスを指定する共有メモリ先頭アドレス設定レジスタ(12-1)の設定内容には無関係である。また、共有メモリサイズ設定レジスタ(12-2)の設定内容により、共有メモリ領域の大きさを変化させることができる。アドレス変換回路(11)は、CPU-A(1)のアドレスマップの共有アドレスの範囲\$100000~\$180000を、CPU-B(4)のアドレスマップの共有アドレスの範囲\$440000~\$4C0000に変換する。これにより、CPU-A(1)が、そのアドレス\$100000から始まる領域にコマンドやデータを書き込むと、実際には、ローカルメモリA(2)の\$440000から始まる領域に書き込まれることになる。

【0017】CPU-A(1)は、共有メモリにコマンドやデータを書き込んだ後、CPU-B(4)に割り込み要求を発して、コマンドが書き込まれたことをCPU-B(4)に通知する。CPU-B(4)は割り込み処理により、コマンドが書き込まれたことを知り、ローカルメモリB(6)の共有メモリ領域からコマンドを読み込んで、I/Oデバイスへの転送を開始する。共有メモリ領域の大きさは、共有メモリサイズ設定レジスタ(12-2)の設定内容によりローカルメモリB(6)内に任意に設定できるので、共有メモリの領域を十分とることができ、マルチタスクへの対応も容易である。

【0018】

【発明の効果】以上説明したように、本発明によれば、一方のCPUのローカルメモリと他方のCPUのローカルバスに接続されたI/Oデバイスとの相互のデータ転送は、他方のCPUのローカルメモリ内に設定された共有メモリ領域を介して転送できるので、デュアルポート

(4)

特開平7-175768

5

6

メモリを介して転送するよりも転送回数が少なくなり、システムスループットが向上するという効果がある。また、集積度が低くかつ高価なデュアルポートメモリを使用することなくデュアルCPUシステムを提供できるという効果がある。さらに、共有メモリ領域を有するCPU系のシステムが、バージョンアップ等によりアドレスマッピングが変更されても、共有メモリ領域は、共有メモリ領域設定レジスタにより任意のアドレスに設定可能であるため、共有メモリを持たない系のソフトウェアは変更なしでそのまま利用できるという効果がある。

【図面の簡単な説明】

【図1】本発明に係るデュアルCPUシステムの構成を示すブロック図である。

【図2】本発明に係るデュアルCPUシステムのバス変換回路の構成を示すブロック図である。

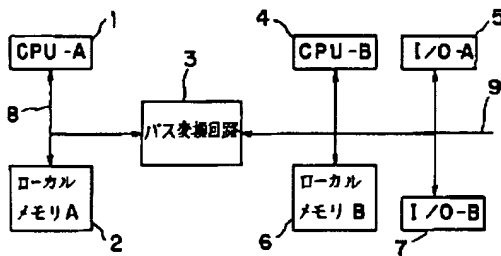
【図3】本発明のデュアルCPUシステムのアドレスマップ図である。

【図4】従来例のデュアルCPUシステムの構成を示すブロック図である。

【符号の説明】

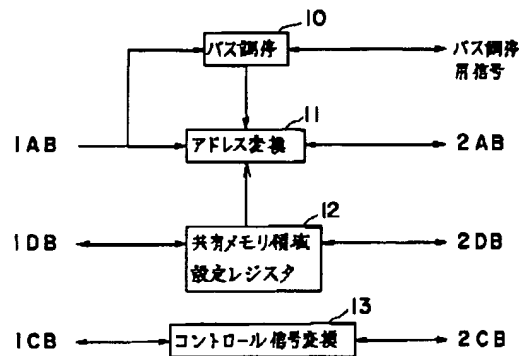
- 1 CPU-A
- 2 ローカルメモリA
- 3 バス変換回路
- 4 CPU-B
- 5 I/O-A
- 6 ローカルメモリB
- 7 I/O-B
- 8 ローカルバスA
- 9 ローカルバスB
- 10 バス調停回路
- 11 アドレス変換回路
- 12 共有メモリ領域設定レジスタ
- 13 コントロール信号変換回路

【図1】



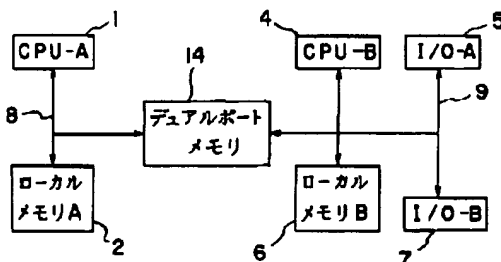
実施例のブロック図

【図2】



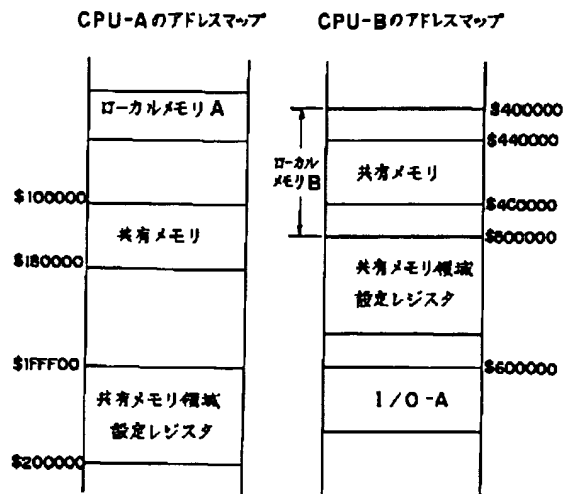
バス変換回路内部ブロック図

【図4】



従来例におけるブロック図

【図3】



レジスタの名称	設定値
共有メモリ先頭アドレス 設定レジスタ	\$440000
共有メモリサイズ 設定レジスタ	\$50000

アドレスマップの例

Best Available Copy